

**MENU** **SEARCH** **INDEX** **DETAIL** **JAPANESE**

1 / 1

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-161906

(43)Date of publication of application : 10.06.1994

(51)Int.Cl. G06F 12/16  
G06F 11/10  
// G11C 29/00

(21)Application number : 04-310586 (71)Applicant : TOSHIBA CORP

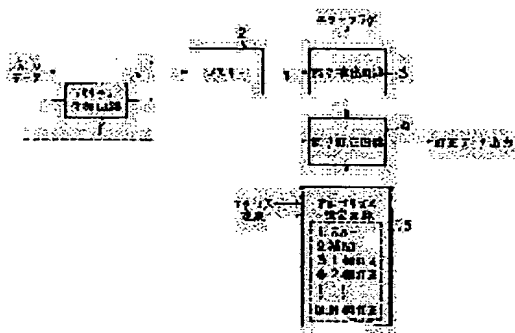
(22)Date of filing : 19.11.1992 (72)Inventor : NISHIKAWA AKINARI

### (54) SEMICONDUCTOR MEMORY CIRCUIT

#### (57)Abstract:

**PURPOSE:** To provide a semiconductor memory circuit which can perform the optimum correction of errors by changing its correcting ability in accordance with each access speed.

**CONSTITUTION:** A semiconductor memory circuit contains an error detecting circuit 3 and an error correcting circuit 4 which are included in the same chip as a memory 2. Then the semiconductor memory circuit has at least one of following three functions. That is, a function (1) which corrects the errors by varying the error correcting ability of both circuits 3 and 4 when the errors are detected, a function (2) which does not correct the detected errors and outputs only the error detection flags, and a function (3) which outputs a waiting signal and keeps other processings waiting to correct the detected errors if the correction of errors are impossible due to an excessively high access speed.



### LEGAL STATUS

[Date of request for examination] 01.06.1999

[Date of sending the examiner's decision of rejection] 22.05.2001

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-161906

(43) 公開日 平成6年(1994)6月10日

(51) Int.Cl. <sup>5</sup>	識別記号	片内整理番号	F I	技術表示箇所
G 0 6 F 12/16	3 2 0 H	7629-5B		
		A 7629-5B		
11/10	3 3 0 K	7313-5B		
// G 1 1 C 29/00	3 0 2	6741-5L		

審査請求 未請求 請求項の数2(全7頁)

(21) 出願番号 特願平4-310586

(22) 出願日 平成4年(1992)11月19日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 西川 明成

神奈川県川崎市幸区堀川町580番1号 株式会社東芝半導体システム技術センター内

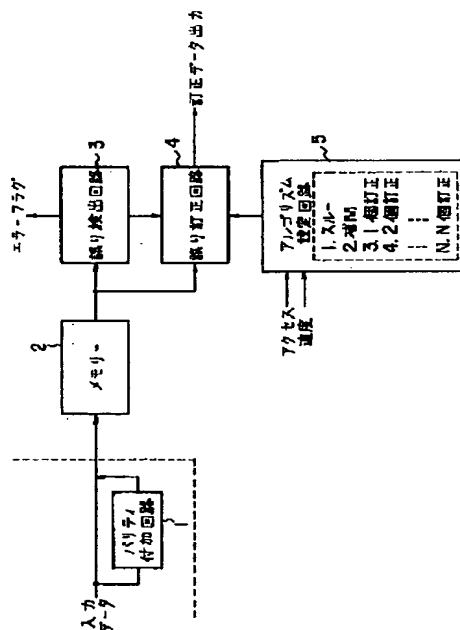
(74) 代理人 弁理士 鈴江 武彦

(54) 【発明の名称】 半導体メモリー回路

(57) 【要約】

【目的】 アクセス速度に応じて訂正能力を可変させることによって、最適な誤り訂正を行うことができる半導体メモリー回路を提供する。

【構成】 誤り検出・訂正回路をメモリーと同一のチップ上に持つ半導体メモリー回路において、1) 誤りを検出したとき、アクセス速度に応じて上記誤り検出・訂正回路の誤り訂正能力を可変させて誤り訂正を行う機能と、2) 誤りを検出したとき誤り訂正を行わず、誤り検出フラグのみを出力する機能と、3) 誤りを検出したとき、アクセス速度が大きくて訂正が間に合わなくなったときにウェイト信号を出力することによって、他の処理を待たせて誤り訂正を行う機能のうち少なくとも1つの機能を具備する。



## 【特許請求の範囲】

【請求項1】 書き込み時には誤り訂正符号を付加してデータを書き込み、読み出し時にはこの誤り訂正符号に基づいて誤り検出及び訂正を行う誤り検出・訂正回路をメモリと同一のチップ上に持つ半導体メモリ回路において、

1) 誤りを検出したとき、アクセス速度に応じて上記誤り検出・訂正回路の誤り訂正能力を可変させて誤り訂正を行う機能と、

2) 誤りを検出したとき、誤り訂正を行わず、誤り検出フラグのみを出力する機能と、

3) 誤りを検出したとき、アクセス速度が大きくて訂正が間に合わなくなったときにウェイト信号を出力することによって、他の処理を待たせて誤り訂正を行う機能、のうち少なくとも1つの機能を具備したことを特徴とする半導体メモリ回路。

【請求項2】 書き込み時には誤り訂正符号を付加してデータを書き込み、読み出し時にはこの誤り訂正符号に基づいて誤り検出及び訂正を行う誤り検出・訂正回路をメモリと同一のチップ上に持つ半導体メモリ回路において、

誤り訂正符号を付加する場合、ブロックごとに誤り訂正符号を付加し、アクセス速度に応じてブロック長を可変するようにしたことを特徴とする半導体メモリ回路。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は半導体メモリ回路に関し、特に、誤り検出・訂正回路をメモリと同一のチップ上に持つ半導体メモリ回路に関する。

## 【0002】

【従来の技術】 概して、半導体メモリの集積密度が上がれば上がるほど、チップ上の欠陥による歩留りの低下が問題になってくる。従来、製造工程上でこのような不都合が生じた場合にはそのチップを捨てるか、もしくは、メモリの容量に冗長性を持たせ、不都合のあったメモリセルと冗長部の交換を行い見かけ上の問題を除去するようにした。

【0003】 ところが、上記した欠陥メモリセルと冗長部とを交換する方法では、メモリ容量の増大が進むにつれて、冗長部がますます大きくなるので冗長部の長さが無視できないものとなる。また、経年変化などで新たな欠陥が生じた場合には対処することが不可能である。

【0004】 そこで、もう一歩進んで、誤り訂正技術を用いてデータを訂正するようにすることも考えられている。

【0005】 誤り訂正方式によれば、誤り訂正回路の大きさはほぼ一定であり、メモリの容量にはさほど左右されない。また、伝送系と異なり、誤り訂正能力は、それほど大きくする必要はない。しかも、不特定の場所で

の欠陥に対処することが出来るというメリットを持つ。この場合、訂正処理を行う為にアクセス速度には自ずと限界が生じる。

【0006】 図8はこのような誤り訂正機能を有する半導体メモリ回路の構成図である。ここで、ROMの場合、書き込みデータが分かっているので予め求めることが出来る。したがって、図8の破線で囲まれたブロックは不要である。

【0007】 同図において、入力データはその書き込み時にパリティ付加回路10によってパリティが付加されてメモリ11に記録される。読み出し時には、データが付加されたパリティと共に呼び出され、誤り検出回路12に入力される。もしここで、誤りが検出された場合は誤り訂正回路13が動作する。そして、訂正されたデータが出力される。

## 【0008】

【発明が解決しようとする課題】 しかしながら、上記した従来の半導体メモリ回路においては、アクセス速度が変化しても単純な誤り訂正しかできず、十分な誤り訂正を行うことができなかった。

【0009】 本発明の半導体メモリ回路はこのような課題に着目してなされたものであり、その目的とするところは、アクセス速度に応じて訂正能力を可変させることによって、最適な誤り訂正を行うことができる半導体メモリ回路を提供することにある。

## 【0010】

【課題を解決するための手段】 上記の目的を達成するために、本発明は、書き込み時には誤り訂正符号を付加してデータを書き込み、読み出し時にはこの誤り訂正符号に基づいて誤り検出及び訂正を行う誤り検出・訂正回路をメモリと同一のチップ上に持つ半導体メモリ回路において、1) 誤りを検出したとき、アクセス速度に応じて上記誤り検出・訂正回路の誤り訂正能力を可変させて誤り訂正を行う機能と、2) 誤りを検出したとき、誤り訂正を行わず、誤り検出フラグのみを出力する機能と、3) 誤りを検出したとき、アクセス速度が大きくて訂正が間に合わなくなったときにウェイト信号を出力することによって、他の処理を待たせて誤り訂正を行う機能のうち少なくとも1つの機能を具備する。

【0011】 また、本発明は、書き込み時には誤り訂正符号を付加してデータを書き込み、読み出し時にはこの誤り訂正符号に基づいて誤り検出及び訂正を行う誤り検出・訂正回路をメモリと同一のチップ上に持つ半導体メモリ回路において、誤り訂正符号を付加する場合、ブロックごとに誤り訂正符号を付加し、アクセス速度に応じてブロック長を可変する。

## 【0012】

【作用】 すなわち、本発明の半導体メモリ回路は、1) 誤りを検出したとき、アクセス速度に応じて上記誤り検出・訂正回路の誤り訂正能力を可変させて誤り訂正を

3

行う機能と、2) 誤りを検出したとき、誤り訂正を行わず、誤り検出フラグのみを出力する機能と、3) 誤りを検出したとき、アクセス速度が大きくて訂正が間に合わなくなったときにウェイト信号を出力することによって、他の処理を待たせて誤り訂正を行う機能のうち少なくとも1つの機能を具備する。

【0013】また、本発明の半導体メモリ回路は、誤り訂正符号を付加する場合、ブロックごとに誤り訂正符号を付加し、アクセス速度に応じてブロック長を可変する。

【0014】

【実施例】図面を参照して本発明に係る半導体メモリ回路の実施例を説明する。

【0015】まず、本発明の実施例の概略を説明する。半導体メモリ回路がROMの場合は、データ書き込み時に、あらかじめ求めておいたパリティを付加する。また、RAMの場合は、データ書き込むと同時にパリティを求めデータに付加する。そして、読み出し時には、同一の半導体上に設けられた誤り検出・訂正回路を働かせて、あらかじめ付加していたパリティを用いて誤り検出を行い、もし誤りが検出されたらアクセス速度に

に応じた誤り訂正能力で誤り訂正を行わせる。

【0016】誤り検出・訂正方式としては、CDプレーヤで用いられているリードソロモン符号などの巡回符号や単純パリティの様な簡単なもので、様々な手法が可能である。高度な符号ほど検出・訂正能力は高いが、処理時間が長い。半導体メモリの場合、素子の欠陥によるエラーがほとんどと考えられるので、この場合、一箇所に集中することが十分考えられる。従って、訂正・検出能力を上げるためには、CDプレーヤ等に用いられているインターリーブのように、飛び飛びに格納する方法が有効と考えられる。

【0017】一般にROM・RAMなどにおいては、そのアクセス速度の限界のために用いる用途が限られてしまうので、ある程度またはかなりのマージンを持って用いられることが多い。従って、多くの場合、誤り訂正回路を働かせることで、半導体上の欠陥に起因するトラブルを未然に防ぐことが可能である。半導体の製造サイドとしてはこのような誤り訂正回路を付加することで訂正能力一杯までの欠陥を持つ製品であっても出荷することが可能となるためコスト低減に寄与できる。

【0018】しかしながら、アクセス速度が誤り訂正のスピード以上になった場合には、当然訂正することが不可能となってくる。このような用途には、訂正することを禁止して、従来のメモリと同様100%の保証をする必要がある。訂正することが不可能であっても誤りを検出することは可能であり、この場合、誤り検出フラグを出力することで、系統的に訂正能力を持つものへの用途が考えられる。また、高度な訂正を行うようなメモリシステムにおいては、アクセス速度に応じて誤り

4

検出・訂正能力を可変することで幅広い用途に用いることができる。さらに、ROM/RAMを用いて音楽信号を記録・再生するような固体レコーダにおいては、誤りが検出された場合には訂正ではなく、補間のみを行うようにしてもよい。その他、映像のTBC(タイムベースコレクタ)や静止画用のメモリなどの場合も補間のみで十分対処できる。

【0019】図1に本実施例の構成例を示す。同図において、入力データはパリティ付加回路1によってパリティが付加されてメモリ2に記録される。ここで、半導体メモリ回路がROMの場合は書き込みデータが分かっているのでパリティは予め求めることができる。したがって、破線で囲まれたブロックは不要である。読み出し時には、付加されたパリティがメモリ2から各々呼び出され、誤り検出回路3及び誤り訂正回路4に入力される。誤りが検出された場合は誤りが検出されたことを示す信号が誤り訂正回路4に供給される。

【0020】メモリの使用者はアルゴリズム設定回路5の各アルゴリズム(1~N)のうちいずれかをそのときのアクセス速度に応じて選択する。すなわち、アクセス速度が速いときは訂正を禁止または補間する様に働かせ、ゆっくりな時にはその訂正能力をフルに働かせるようにする。なお、アルゴリズム設定回路5を動作させるには、メモリの利用者が外部から選択することも出来るが、アクセス速度に応じて自動的に切り換えることも可能である。また、製造工程でのチェックにより誤りの有無は予め掴むことが出来るので、誤りがなければ訂正回路は不要であるので、禁止し、1つしかなければ1つのみ訂正する回路だけを働かす様に設定するなど、出荷時に設定することも可能である。

【0021】さて、上記した実施例では図2(a)のように1つのデータごとにパリティを付加するようにしたが、図2(b)、(c)のようにブロックに1つのパリティを付加するような構成でも可能である。すなわち、3入力データと、書き込まれるアドレスのあるブロックの他のアドレスに既に存在しているデータとを用いてパリティを演算し、パリティを更新する。読み出しには読み出すデータの存在しているブロック全体のデータを全て読み、エラー検出・訂正を行うようにしたシステムである。このような場合、ブロック長を大きくすると1回の読み書きに於て多くのデータを読み出さないとパリティの生成やエラー検出・訂正が行えないという欠陥が有る。しかるに、冗長度はそれだけ減ずることが出来るのでメモリーを有効に使えるという利点もある。したがって、低速アクセス時にはこのような構成が有利であり、アクセス速度に応じたブロック長を選ぶことがメモリーの有効活用という点で重要である。この場合のブロック長をアクセス速度に応じて可変するようすれば、1種類のチップで様々なアクセス速度に対応することが可能である。

5

【0022】図3はメモリセルイメージで誤り訂正を行う場合の説明図である。同図(a)のように、縦、横にそれぞれ対応したパリティビットを設ける。例えば、偶数パリティを入れることにすれば、 $A_1 \sim A_6$  の「1」の数が、偶数ならば  $P_A = 0$  を入れ、奇数ならば  $P_A = 1$  とする。

【0023】縦及び横方向には2つ以上誤らないとすれば、読み出し時に  $A_1 \sim A_6$  と  $P_A$  を読み出し、図7(b)に示すパリティ計算回路によってパリティ計算をして、1の数が偶数ならば、エラーがないことを表し、奇数ならエラーと判定し、縦方向のデータを見て同様にエラーの位置をさがし、2つの方向でエラーの位置が特定できる。これにより、エラーの位置がわかればそのビットを反転して出力すればよい。

【0024】図4はバケット方式で誤り訂正を行う場合の説明図である。これはRAMを小ブロックに分け、小ブロック単位で読み書きする方法である。すなわち、小ブロック単位毎にパリティを付加して書き込み、読み出し時も小ブロックごとに読み出し、エラー検出・訂正を行う。

【0025】図4(b)に示すように、書き込み時は、データを当てはまるブロックへ順次書き込んでいく。パリティ計算回路はこの時同時にパリティの計算を平行して行う。パリティは前記した単純パリティではなく、リードソロモン符号などのようなエラー位置とエラーデータがわかる符号を用いた方が効果的である。

【0026】例として、CDプレーヤーに用いられている符号を上げる。CDではC1、C2という2重の訂正が行われる。CDの場合、C1側では、28個のデータに対して4個のパリティを付加している。ここで、1つのデータは8ビットである。通常2つのデータの訂正までを行っている。C2側では、24個のデータに対し、4個のパリティが付加される。C2では、2～4個の訂正を行っている。しかしながら、あまり冗長度を上げると規模が大きくなるので、適当に選ぶ必要がある。

【0027】図5に他の構成例を示す。この構成においては、図6に示すように読み出し時は、基本的に2回読み出し、1回目に読み出したデータで誤りの検出を行う。ここで、誤り位置と誤りデータを確定させる。2回目には1回目で得た情報に基づいて誤ったデータを正しいデータに取換えて出力する。もし、訂正しきれないほど誤りが多い場合には訂正不能フラグを立てる方法もある。

6

【0028】2回読み出しの利点は必要最低限のRAMがあればよいことであるが、2倍の時間がかかり、2度目に1度目と同じデータが読み出される補償がないといった問題点がある。

【0029】そこで、図5に示すように、バッファRAMを1ブロック分設けておき、読み出しながらここに書き込む。訂正時にはこのRAMのデータを使えば時間は上記と同じもののDATA-RAMの占有時間が半分で済む。又、バッファRAMは必要以上に大きくなければエラー等を生じることもない。

【0030】図7(a)は、訂正を行わず単にエラー検出のみを行うようにした場合の応用回路である。DATやコンパクトディスクシステムのように、システムに誤り訂正機能が含まれている場合、この訂正回路を有効に利用すればエラー検出のみ行い、訂正をシステムに委ねるということも十分可能である。

【0031】図7(b)は、誤りが検出された場合にウェイト信号を出すことで、システム全体として誤り訂正に重きを置いたものである。これにより、誤りが検出されていなくても高速アクセスを行い、誤りが検出された際には他のシステムの動作を一時停止させることで訂正のための時間を稼ぎデータの信頼性を向上させようと言うもので、効率的な動作が可能となる。

【0032】

【発明の効果】以上詳述したように、本発明においては、アクセス速度に応じて訂正能力を変化させることで最適な誤り訂正を行うことができる。又、メモリーの歩留りの向上も期待できコストの低減が可能となる。

【図面の簡単な説明】

【図1】本発明の基本構成を示す図である。

【図2】パリティ付加の変形例を示す図である。

【図3】本発明に係る誤り訂正の一方法を説明するための図である。

【図4】本発明に係る誤り訂正の他の方法を説明するための図である。

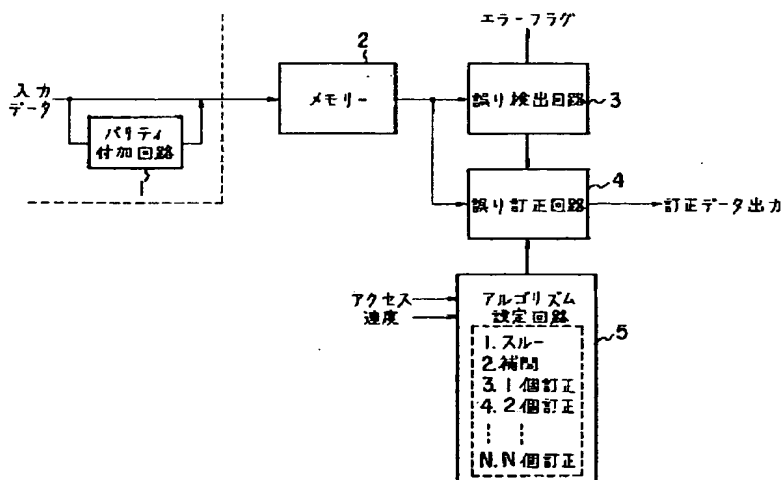
【図5】本発明に係る誤り訂正の他の方法を説明するための図である。

【図6】図5の構成による誤り訂正方法を説明するためのタイムチャートである。

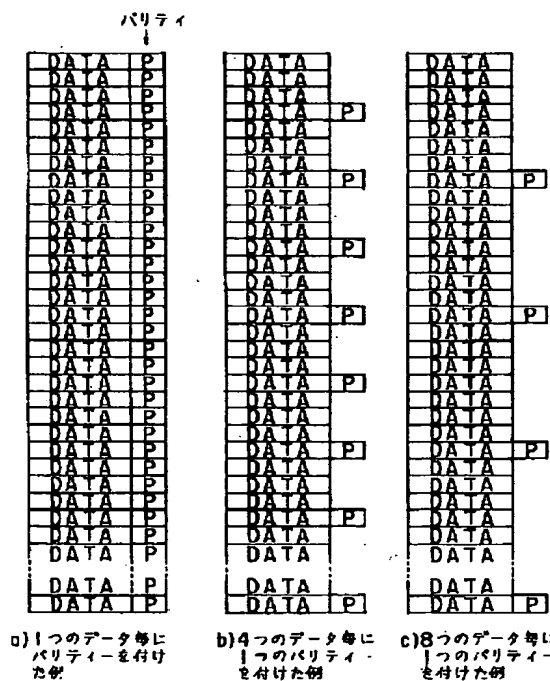
【図7】本発明の他の実施例を示す構成図である。

【図8】従来の誤り訂正機能を備えた半導体メモリ回路を示す図である。

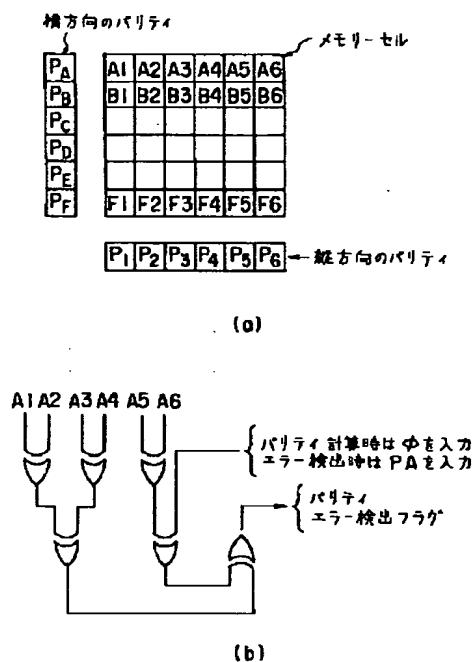
【図1】



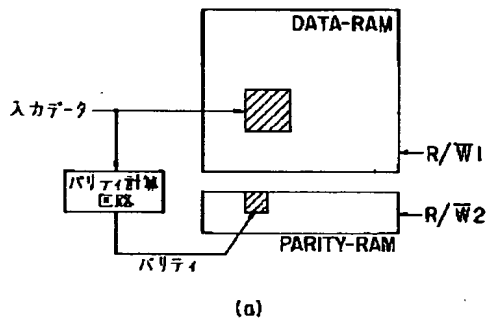
【図2】



【図3】

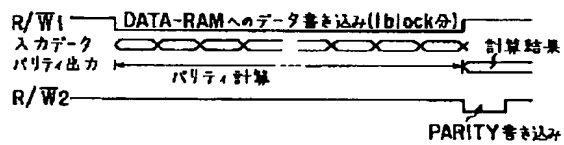
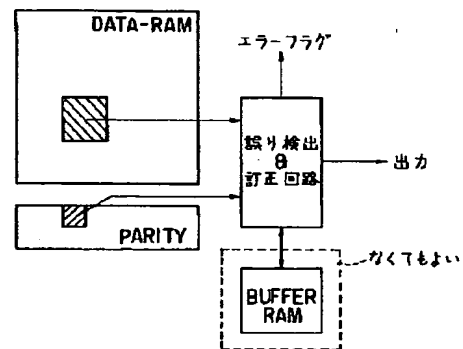


【図4】



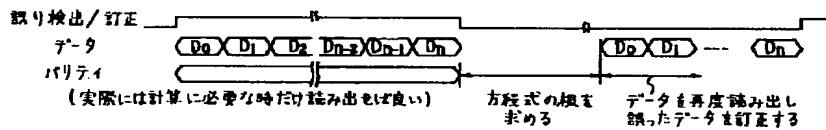
(a)

【図5】

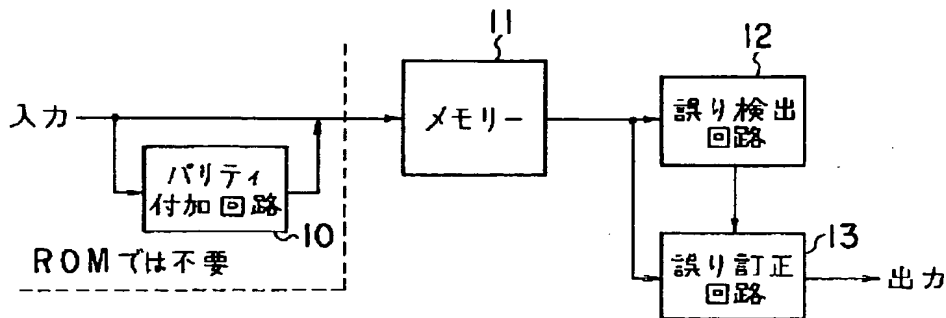


(b)

【図6】



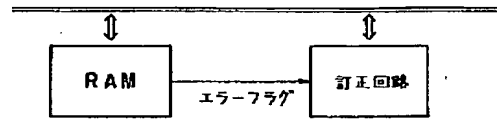
【図8】



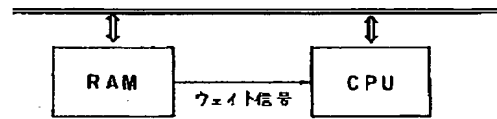
(7)

特開平6-161906

【図7】



(a)



(b)